

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **52-035582**

(43)Date of publication of application : **18.03.1977**

(51)Int.Cl. **H01L 29/08**
H01L 21/265
H01L 29/36

(21)Application number : **50-111211**

(71)Applicant : **TOSHIBA CORP**

(22)Date of filing : **13.09.1975**

(72)Inventor : **SHIMIZU SHOICHI**
YAMADA HISASHI

(54) **TRANSISTOR**

(57)Abstract:

PURPOSE: The impurity density peak is formed by ion injection, so that the base duration is made small as well as a transistor of high cut-off frequency can be obtained.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office



① 日本国特許庁

公開特許公報

特 許 願 (3)

(4,000円)

昭和 50.9.13 日

特許庁長官 斎藤 英雄 殿

1. 発明の名称

トランジスタ

2. 発明者

神奈川県川崎市幸区小向東芝町1番地
東京芝浦電気株式会社 総合研究所内
清水 庄一
(ほか1名)

3. 特許出願人

住所 神奈川県川崎市幸区堀川町72番地
名称 (307) 東京芝浦電気株式会社
代表者 玉置 敬三

4. 代理人

住所 東京都港区芝西久保坂川町2番地 第17ビル
〒105 電話 03 (502) 3181 (大代表)
氏名 (5847) 弁理士 鈴江 武彦
(ほか4名)

50 111211

① 特開昭 52-35582

④ 公開日 昭52.(1977) 3.18

② 特願昭 50-111211

② 出願日 昭50.(1975) 9.13

審査請求 未請求 (全7頁)

庁内整理番号

7514 57
6513 57

⑤ 日本分類

99G1E2
99G1H0

⑥ Int.Cl?

H01L 29/08
H01L 21/265
H01L 29/36

明 細 書

1. 発明の名称

トランジスタ

2. 特許請求の範囲

プレーナ構造を有し、ベース層をイオン注入法により基板表面より内部に不純物濃度のピークを持つように形成してなることを特徴とするトランジスタ。

3. 発明の詳細な説明

この発明はプレーナ構造を有するトランジスタに関する。

従来のモノリシックICにおけるトランジスタは一般にnpn型であつて、オ1図のような構造になつてゐる。1はP型Si基板、2はn⁺型埋込み層、3はn型コレクタ層(エピタキシャル成長層)、4はP型ベース層(拡散層)、5はn⁺型エミッタ層(拡散層)、6はP⁺型分離層(拡散層)、7はエミッタ層5と同時に作られるコンタクト用のn⁺層、8a、8b、8cはそれぞれエミッタ、ベース、コレクタ電極、

9は酸化膜(SiO₂)である。このようなトランジスタのA-A'における不純物濃度プロファイルはオ2図のようになつてゐる。図のWがベース幅を示している。

ところで、このようなトランジスタ構造は広く用いられてはゐるが、未だ解決すべき問題点がいくつかある。即ち、①エピタキシャルウエハを用いるためコスト高になる。②ICの場合、P⁺型分離層を拡散する必要があり、ウエハ面積に占めるこの分離層の割合が大きく、高密度化が阻害される。③同じくICの場合、ベース層と同じP型拡散層を用いて抵抗を形成するが、高抵抗が作りにくい。④ベース層を拡散で形成するため、ベース幅の制御が難しい、等である。

この発明は上記した点に鑑みてなされたもので、製造工程が簡単で、かつ低コスト、高性能のトランジスタを提供しようとするものである。

即ち、この発明はプレーナ構造を有するトランジスタにおいて、ベース層をイオン注入法により基板表面より内部に不純物濃度のピークを

持つように形成してなることを特徴とする。

・オ8図はこの発明をnpnトランジスタに適用した場合の一例の製造を示すものである。11はP型Si基板であつて、これにn型コレクタ層12を不純物拡散によつて形成している。13はP⁺型ベース取出し層であつてエミッタ領域を取囲んで閉路をなすように表面からの不純物拡散により形成されており、14は表面から約1μmのところの不純物濃度のピークを持つようにイオン注入法により作られたP型ベース層、15は不純物拡散またはイオン注入法によるn⁺型エミッタ層である。また、16a、16b、16cはそれぞれエミッタ電極、ベース電極、コレクタ電極であり、17は酸化膜である。

このトランジスタのB-B'における不純物濃度プロファイルはオ8図のようになつている。オ2図と対比して明らかなように、P型ベース層14の不純物濃度が基板表面より内部にピーク値を持つてゐることが特徴である。先に説明したように、コレクタ層としてエピタキシャル

成長層を利用する場合には、その不純物濃度分布は基板表面から内部までほぼ均一にできる。従つて、そのコレクタ層に不純物拡散を行つて反屈層を形成してベース層を得、更にそのベース層に別の不純物拡散を行つて反屈層を形成してエミッタ層を得ることは比較的容易である。ところが、コレクタ層を不純物拡散により形成すると、オ4図示のようにその表面の不純物濃度はエピタキシャル成長層の場合に比べて2桁程度高くなる。そのため、続いてベース層、エミッタ層を不純物拡散により形成しようとしても、エミッタ層としての反屈層を得ることが難しくなる。

この発明では、ベース層はイオン注入法により内部に不純物濃度のピークを持つように形成するので、その表面不純物濃度が高くならず、従つてエミッタ反屈層を容易に得ることができる。即ち、コレクタ層としてエピタキシャル成長層を用いる必要がなく、通常の不純物拡散層を用いることができるので、コスト低下につな

がる。また、このトランジスタ製造をICに適用すれば、コレクタ形成工程が異分子分離工程を兼ねることになり、オ1図のような特別な分離層を設ける必要がなくなり、高集積化が実現できる。同様に、ICに適用した場合、ベース層と同一工程で内部に不純物濃度ピークを持つ層を形成して抵抗として利用すれば、従来のICにおける拡散抵抗に比べて高抵抗値のものを容易に得ることが可能となる。更に、オ4図でWがベース幅となるが、これはオ2図に示したようなベース層を不純物拡散により形成した場合のベース幅Wに比べて十分小さく制御することができ、遮断周波数の高いトランジスタが得られる。

オ8図の製造のトランジスタについて、その具体的な製造工程をオ5図(a)~(d)により説明する。まず、P型Si基板11に熱酸化による酸化膜17₁を被覆し、トランジスタ形成領域に穴あけを行い(a)、リン拡散を行つて深さ2~8μm、表面濃度約 $10^{17}/\text{cm}^2$ のn型コレクタ層12を形

成する(b)。続いて、CVD法により酸化膜17₂をつけ、エミッタ形成領域を取り囲むように穴あけを行い(c)、ボロンを拡散して表面濃度約 $10^{19}/\text{cm}^2$ のP⁺型ベース取出し層13を形成する(d)。次に再度CVD法により酸化膜17₃をつけ、エミッタ形成領域に穴あけを行つて、まずボロンをイオン注入法により打込んで表面から約1μmのところの濃度ピークを持つようなP型ベース層14を形成し(e)、続いてリン拡散により表面濃度約 $10^{20}/\text{cm}^2$ のn⁺型エミッタ層15を形成する(f)。そして最後に、CVD法による酸化膜17₄をつけ、コンタクト穴あけを行い、アルミニウムを蒸着、パターニングして、エミッタ電極16a、ベース電極16b、コレクタ電極16cを形成して完成する(g)。

なお、この発明は上記実施例に限られるものではなく、種々変形、応用して有用である。例えば、npnトランジスタとppnトランジスタを製造した例をオ6図(a)~(c)により説明する。まず、n型Si基板21を用い、所定領域にP⁺

組込み層22を設けてP型エピタキシャル成長層23を形成したウエハを作り(a)、これに不純物拡散を行ってn⁺型分離層24を形成して、互いに分離されたP型エピタキシャル成長層23a、23b…を得る(b)。そして、一方のエピタキシャル成長層23aには、これをコレクタ層として、n型ベース層25、p⁺型エミッタ層26を順次不純物拡散により形成してpapトランジスタを作る。また他方のエピタキシャル成長層23bには、上記実施例と同様に、n型コレクタ層27、p⁺型ベース取出し層28を順次不純物拡散により形成し、更に、イオン注入法によるP型ベース層29、不純物拡散によるn⁺型エミッタ層30を順次形成して、npnトランジスタを作る(c)。なお、papトランジスタ側のベース層25、エミッタ層26はそれぞれnpnトランジスタ側のコレクタ層27、ベース取出し層28と同一工程を用いることができる。

従来のモノリシックICでnpnトランジスタ

32bの拡散、p⁺層33a、33b、33cの拡散およびn⁺層34a、34b、34cの拡散と、p層35a、35b、35cのイオン注入工程により構成した例を示している。この構成ではやはりPLとnpnトランジスタを分離するための分離層を拡散形成する必要がなく、高集積化が可能であり、またマスク工程も従来より少なくて済む。

オ9図はこの発明をLEC(Low Emitter Control)トランジスタに適用した例である。LECトランジスタはエミッタ層のベース層に隣接する部分を低不純物濃度とすることにより遮断周波数を高く又、低雑音化をはかったもので、これはエピタキシャルウエハを用いてベース層をイオン注入法により形成し、内部に濃度ピークを持たせることにより、容易に作る事が可能となる。即ち、n⁺型Si基板41にn型層42をエピタキシャル成長させたウエハを用い、これにp⁺型ベース取出し層43を拡散形成し、P型ベース層44をイオン注入法により形成し、

特開2002-35582(3)
とpapトランジスタを作る場合、通常はpapトランジスタをラテラル構造としていた。これは、製造工程が単純であるという理由の他に、前述したようにコレクタ、ベース、エミッタ層を全て不純物拡散で行おうとすると、エミッタ反転層が簡単に作れないという制限があることも理由となっていた。そして、ラテラル構造を用いるため高速動作ができないという欠点があった。これに対し、ベース層をイオン注入法で形成すれば、オ8図(a)のように、npnトランジスタ、papトランジスタと共に縦型構造とすることが容易で、高速動作が可能なものを得られる。

オ7図は、I²L(Integrated Injection Logic)と他の素子を同一チップに集積した例である。I²Lは伝播遅延時間が非常に短いロジックとして最近注目されているもので、その等価回路はオ8図に示すように、npnトランジスタとpapトランジスタの組合せがらなる。オ7図では、p型Si基板51を用い、I²Lとnpnトランジスタを、8回の拡散工程、即ちn層22a、

n⁺型エミッタ層45を拡散形成することにより得られる。オ10図はオ9図のC-Gにおける不純物濃度プロファイルであり、ベース層44をイオン注入で形成しているため、エミッタ領域のベース層44に隣接する部分にコレクタ層42と等しい低不純物濃度領域が得られることがわかる。

なお、エピタキシャルウエハを用いず、コレクタ層を不純物拡散により形成し、またベース取出し層として高不純物濃度層を設けると、コレクタ-基板間およびベース-コレクタ間の耐圧が従来のものに比べて低下する。しかし、これは例えばオ11図に示すように各接合部に膜面からエッチングして溝をつけることにより容易に防止される。

その他、この発明はその趣旨を逸脱しない範囲で種々変形実施できることはいうまでもない。
4. 図面の簡単な説明

オ1図は従来のエピタキシャルプレーナ型npnトランジスタの構造を示す図、オ2図はそ

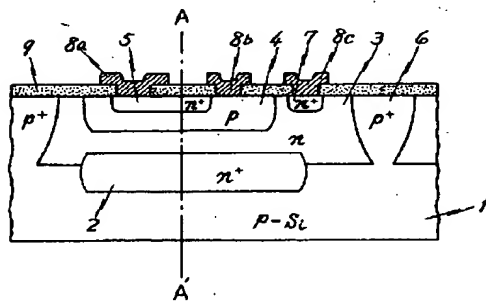
のA-A'における不純物濃度プロファイルを示す図、オ3図はこの発明の一実施例のnpnトランジスタの構造を示す図、オ4図はそのB-B'における不純物濃度プロファイルを示す図、オ5図(a)~(g)は同じくその製造工程を説明するための図、オ6図(a)~(e)はこの発明の他の実施例でnpnトランジスタとpnpトランジスタを集積した例を説明するための図、オ7図はこの発明の更に他の実施例でI²Lとnpnトランジスタを集積した構造を示す図、オ8図はI²Lの等価回路図、オ9図はこの発明をLECトランジスタに適用した実施例を示す図、オ10図はオ9図のC-C'における不純物濃度プロファイルを示す図、オ11図はこの発明に係るトランジスタの耐圧向上を図つた例を示す図である。

- 11... P型Si基板 12... n型コレクタ層
13... p⁺型ベース取出し層
14... P型ベース層
15... n⁺型エミッタ層
16a... エミッタ電極 16b... ベース電極

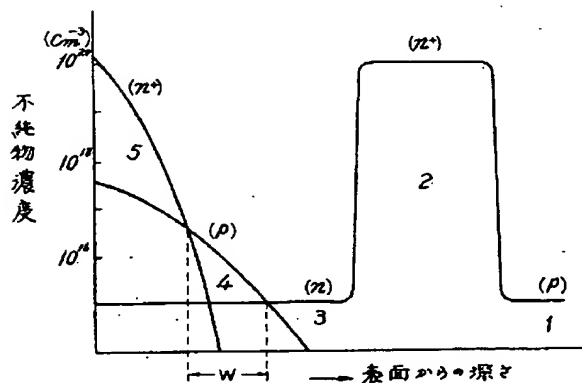
- 16c... コレクタ電極
17... 酸化膜

出願人代理人 弁理士 鈴 江 武 彦

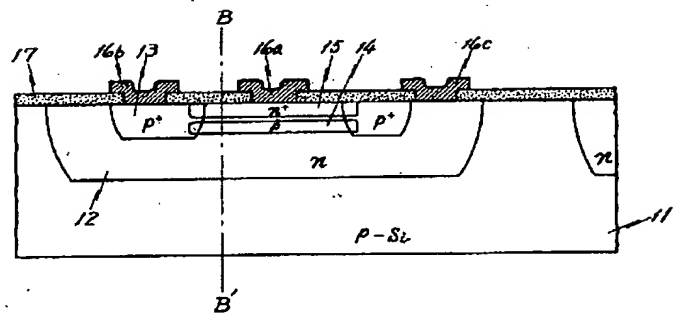
オ1図



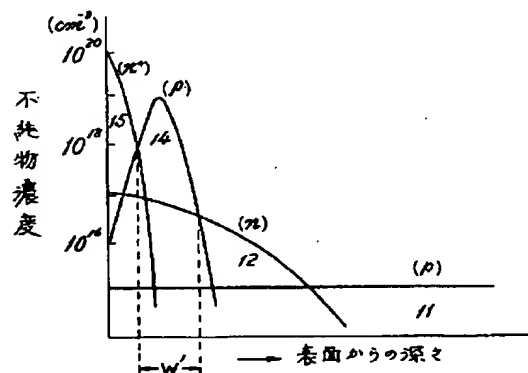
オ2図



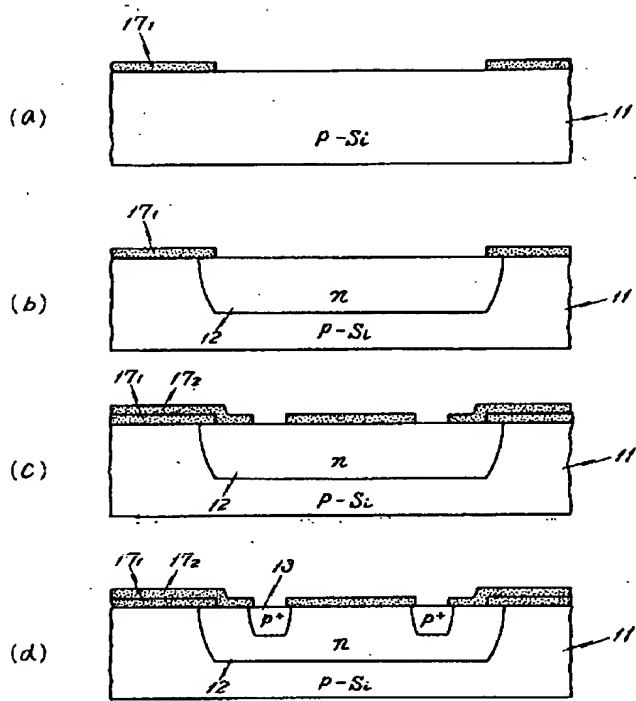
オ3図



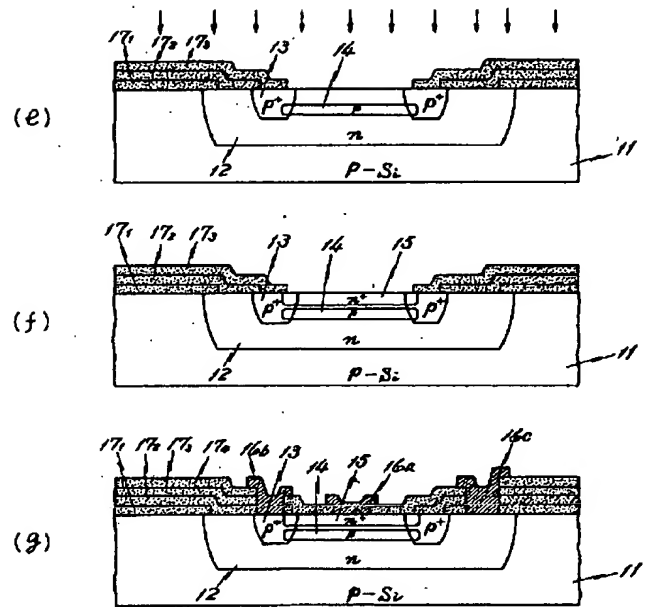
オ4図



第 5 圖



第 5 圖



第 6 圖

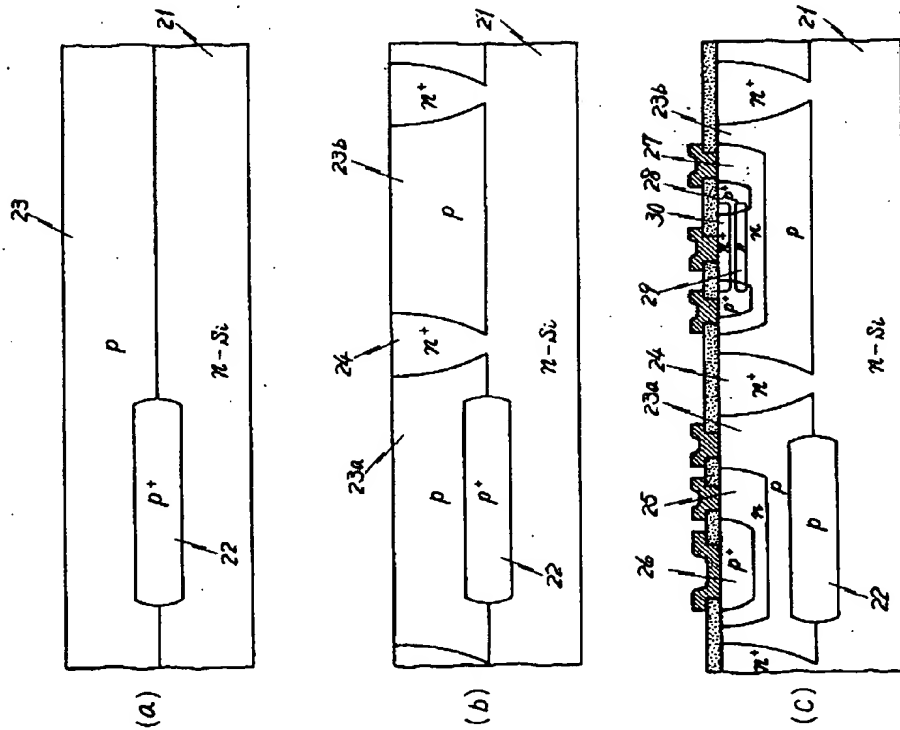


図 7

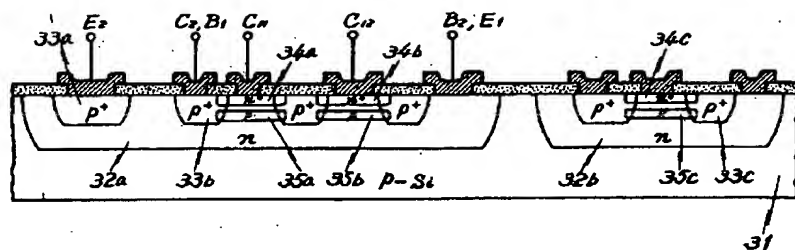


図 8

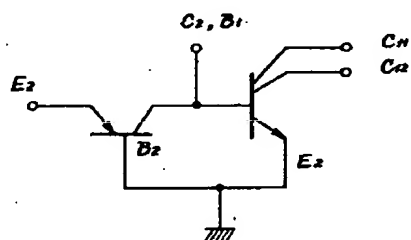


図 9

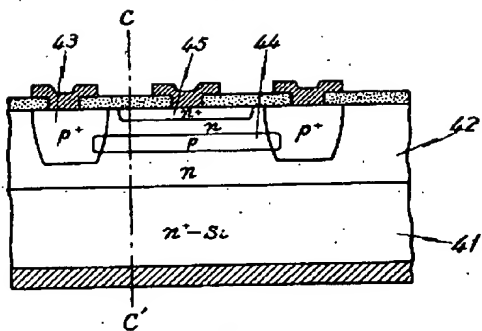


図 11

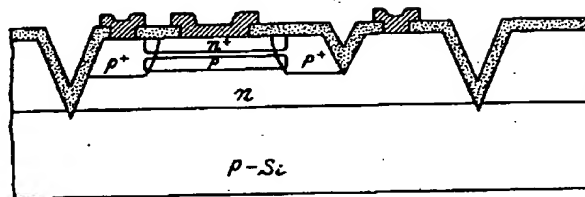
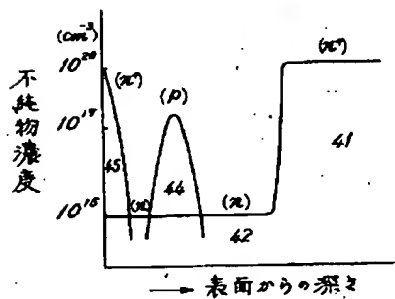


図 10



5. 添付書類の目録

- | | | |
|-----------|----|------------------------------|
| (1) 委任状 | 1通 | 同時提出の特許図(1)に
添付の委任状を採用する。 |
| (2) 明細書 | 1通 | |
| (3) 図面 | 1通 | |
| (4) 願 望 本 | 1通 | |

6. 前記以外の発明者、特許出願人または代理人

(1) 発 明 者

神奈川県川崎市幸区小向東芝町1番地
東京芝浦電気株式会社総合研究所内
山 田 尚 志

(2) 代 理 人

住所 東京都港区芝西久保桜川町2番地 第17森ビル
氏名 (5743) 弁理士 三 木 武 雄
住所 同 所
氏名 (6694) 弁理士 小 宮 幸 一
住所 同 所
氏名 (6881) 弁理士 坪 井 淳 一
住所 同 所
氏名 (7043) 弁理士 河 井 将 次